

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-241647

(43)Date of publication of application : 06.10.1988

(51)Int.Cl.

G06F 12/04
G06F 15/06

(21)Application number : 62-076605

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.1987

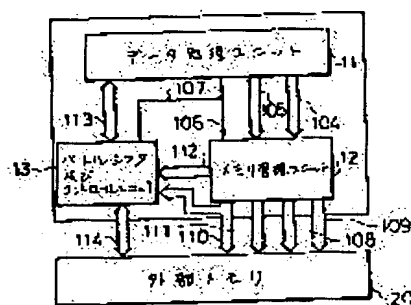
(72)Inventor : NAGASHIMA ICHIRO

(54) MICROPROCESSOR

(57)Abstract:

PURPOSE: To effectively access data having optional word length from an optional bit position on a memory space by providing a means for accessing a memory with the word length specified in a specified bit address value.

CONSTITUTION: According to an instruction from an operator, a data process unit 11 generates a logic bit address value (n) on the memory space, which should be accessed next, an accessing data word length (m) and a write/read selection signal (w). Among the information, the information specifying the address value (n) and the information which shows the word length (m) are respectively transmitted a memory management unit 12 through internal buses 104 and 105. And the selection signal (w) is transmitted to the unit 12 through a control signal line 106 and at the same time it is transmitted to a barrel shifter and a control unit 13. Receiving the address value (n), the word length (m) and the selection signal (w), the unit 12 accesses to the memory with the address value (n) and the word length (m).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-241647

⑬ Int.Cl.⁴

G 06 F 12/04
15/06

識別記号

320

庁内整理番号

A-8841-5B
F-7343-5B

⑭ 公開 昭和63年(1988)10月6日

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 マイクロプロセッサ

⑯ 特 願 昭62-76605

⑰ 出 願 昭62(1987)3月30日

⑱ 発 明 者 長 嶋 一 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

マイクロプロセッサ

2. 特許請求の範囲

プログラムに基づくデータ処理を実行し、次にメモリアクセスすべきアドレスをビット単位で指定する論理ビットアドレス値と、扱うデータの語長と、書き込み/読み出し選択信号とを出力すると共に、データバス語長単位のデータを入出力するデータ処理ユニットと、

前記論理ビットアドレス値、データの語長および書き込み/読み出し選択信号を受けて、データバス語長単位の第1の物理アドレスと、この物理アドレスよりも1つ上位の第2の物理アドレスと、これらの第1および第2の物理アドレスのどちらを選択するかをデータ語長の各ビット毎に決める物理アドレス選択情報と、前記データの各ビットに対する書き込み/読み出し選択信号とをメモリに出力すると共に、前記データのシフト量を生成するメモリ管理ユニットと、

前記データシフト量、前記データ処理ユニットからの書き込み/読み出し選択信号、および前記メモリ管理ユニットからの各ビットに対する書き込み/読み出し選択信号を受けて、読み出し時には前記メモリからのデータを前記シフト量だけLSB側にローテイトしてその内容を前記データ処理ユニットに出力し、書き込み時にはデータ処理ユニットからのデータを前記シフト量だけMSB側にローテイトし、前記メモリ管理ユニットからの書き込み/読み出し選択信号が書き込みになっているビットはその内容をメモリへ出力し、前記信号が読み出しになっているビットはハイインピーダンスとするバレルシフタおよび入出力コントロールユニットとを具備することを特徴とするマイクロプロセッサ。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明はマイクロプロセッサに関し、特に画像処理装置や日本語ワードプロセッサのように

その処理対象となるデータ長が特定されていない装置に使用されるマイクロプロセッサに関する。

(従来の技術)

従来のマイクロプロセッサは、メモリへのデータのマッピングをそのプロセッサ固有のデータ語長単位で行なっており、メモリアクセスは上記固有語長で区切られたビット位置毎に行われるようになっている。

このため、従来のマイクロプロセッサでは、マイクロプロセッサ固有の語長と異なる語長のデータを扱う場合や、その固有の語長境界に跨がるデータを扱う場合には、何度もメモリアクセスを繰返す必要があった。

例えば、扱うデータDの語長がマイクロプロセッサ固有の語長L以下であり、そのデータDをマイクロプロセッサの固有の語長境界を跨がない記憶場所に記憶する時には、まずそのアドレスに記憶されているデータD1をメモリから読み出し、次にこのデータD1と書込むべきデータDで演算を行なって語長LのデータD1'を生成する。そ

- 3 -

して、このD1'をデータD1が記憶されていた記憶場所に書込むというプロセスが必要となる。したがって、この場合には、2度のメモリアクセスが必要となる。

さらに、データDをマイクロプロセッサの固有の語長Lを跨ぐ記憶場所に書込む場合には、2つのアドレスに対応するデータすなわちデータD1、D2を讀込んで、語長境界の前半に対応するデータDとデータD1で演算を行なって語長LのデータD1'を生成し、次に語長境界の後半に対応するデータDとデータD2で演算を行ない、語長LのデータD2'を生成する。そして、データD1'をデータD1が記憶されていた記憶場所に書込み、データD2'をデータD2が記憶されていた記憶場所に書込む。したがって、この場合には、全体で4回のメモリアクセスが必要となる。

(発明が解決しようとする問題点)

この発明は上記のような点に鑑みなされたもので、従来のマイクロプロセッサではそのマイクロプロセッサ固有のデータ長単位でメモリアクセ

- 4 -

スしなければならず、マイクロプロセッサ固有の語長と異なる語長のデータを扱う場合や、その固有の語長境界に跨がるデータを扱う場合には、何度もメモリアクセスを繰返す必要があった点を改善し、メモリアクセスの回数を減らして高速動作が可能なマイクロプロセッサを提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

この発明によるマイクロプロセッサにあっては、プログラムに基づくデータ処理を実行し、次にメモリアクセスすべきアドレスをビット単位で指定する論理ビットアドレス値と、扱うデータの語長と、書込み/読み出し選択信号とを出力すると共に、データバス語長単位のデータを入出力するデータ処理ユニットと、前記論理ビットアドレス値、データの語長および書込み/読み出し選択信号を受けて、データバス語長単位の第1の物理アドレスと、この物理アドレスよりも1つ上位の第2の物理アドレスと、これらの第1および第2

- 5 -

の物理アドレスのどちらを選択するかをデータ語長の各ビット毎に決める物理アドレス選択情報と、前記データの各ビットに対する書込み/読み出し選択信号とをメモリに出力すると共に、前記データのシフト量を生成するメモリ管理ユニットと、前記データシフト量、前記データ処理ユニットからの書込み/読み出し選択信号、および前記メモリ管理ユニットからの各ビットに対する書込み/読み出し選択信号を受けて、読み出し時には前記メモリからのデータを前記シフト量だけLSB側にローテイトしてその内容を前記データ処理ユニットに出力し、書込み時にはデータ処理ユニットからのデータを前記シフト量だけMSB側にローテイトし、前記メモリ管理ユニットからの書込み/読み出し選択信号が書込みになっているビットはその内容をメモリへ出力し、前記信号が読み出しになっているビットはハイインピーダンスとするパレルシフタおよび入出力コントロールユニットとを具備したものである。

- 6 -

(作用)

上記構成のマイクロプロセッサにあっては、前記データ処理ユニットが1メモリサイクルにおいて、前記メモリの指定したビットアドレス値に指定した語長 m でアクセスすることが可能となるので、ビット単位でのデータ処理を効率よく実行することが可能となる。したがって、マイクロプロセッサ固有の語長と異なる語長のデータを扱う場合や、その固有の語長境界に跨がるデータを扱う場合にも、何度もメモリアクセスを繰返す必要がなくなり、高速動作が可能となる。

(実施例)

以下、図面を参照してこの発明の実施例を説明する。

第1図にこの発明の一実施例に係わるマイクロプロセッサを示す。CPUから成るデータ処理ユニット11は、プログラムすなわちオペレータからの指示に従って、次にアクセスすべきメモリ空間上の論理ビットアドレス値 n 、アクセスするデータの語長 m 、および書込み/読み出し選択信号 w

- 7 -

を生成する。ここで、論理ビットアドレス値 n は、メモリ空間をビット単位に分割し、その1つをメモリアクセスのための先頭アドレスとして指定するアドレス値である。

これらの情報のうち、論理ビットアドレス値 n を指定する情報およびデータ語長 m を示す情報は、それぞれ内部バス104および内部バス105を介してメモリ管理ユニット12に送られる。書込み/読み出し選択信号 w は、制御信号線106を介してメモリ管理ユニット12に送られると共に、制御信号線107を介してパレルシフタおよびコントロールユニット13に送られる。

メモリ管理ユニット12では、上記論理ビットアドレス値 n およびデータ語長 m の情報と、書込み/読み出し選択信号 w とを受けて、 L ビット語長構成のメモリ空間を有する外部メモリ20に対する以下説明するような2つの物理アドレス値 k_0 、 k_1 を生成すると共に、これらの物理アドレス k_0 、 k_1 のどちらを選択するかを各ビット毎に決める L ビットの物理アドレス選択データ d_1 と、

- 8 -

扱うデータの各ビット毎に書込みを行なうか否かを決める L ビットの書込み制御データ d_2 と、さらにデータ整形のためのシフト量 j が生成される。

ここで、物理アドレス値 k_0 は論理ビットアドレス値 n をメモリ20のデータ語長 L で割った値の整数値に相当し、 k_1 はその値に1を加えた値に相当する。また、シフト量 j は、論理ビットアドレス値 n をメモリ20のデータ語長 L で割った値の余りの値であり、書込み制御データ d_2 は書込み/読み出し選択信号 w が“偽”の場合はその L ビット全てが0となり、 w が“真”の場合は、各ビットが1である m ビットのデータをシフト量 j だけ L ビットの範囲でMSBの方向へローテイトした内容となる。また、 d_1 は k_0 の選択を0、 k_1 の選択を1とすると、論理ビットアドレス値 n を L で割った値(整数値)の余りの数に対応するビット位置を区切り目とし、その区切り目のビットを含むLSB側の全てのビットは1で、区切り目のビットを含まないMSB側の全てのビットが0となるデータである。

- 9 -

例えば、論理ビットアドレス値 $n = 15$ 、

メモリ20の語長 $L = 8$ 、

データ語長 $m = 4$ 、

とすると、第1の物理アドレス値 $k_0 = 1$ 、第2の物理アドレス値 $k_1 = 2$ 、シフト量 $j = 7$ となり、またデータ d_1 は、

$d_1 = 11111110$

データ d_2 は、

$d_2 = 11100001$

となる。

これらの情報の内、物理アドレス k_0 、 k_1 はアドレスバス108、109を介してそれぞれ外部メモリ20へ送られ、ビット毎の書込み制御データ d_2 は制御バス110を介して外部メモリ20とパレルシフタおよび入出力コントロールユニット13に送られ、物理アドレス選択データ d_1 は、制御バス111を介して外部メモリ20に送られる。また、シフト量 j は、内部バス112を介してパレルシフタおよび入出力コントロールユニット13に送られる。

- 10 -

パレルシフタ13では、上記書込み/読み出し選択信号w、ビット毎の書込み制御データd2およびシフト量jを受けて、wが“真”の場合には内部バス113を介してデータ処理ユニット11から1ビットのデータDを入力し、j分だけそのデータ内容をMSBの方向へローテイトし、書込み制御データd2の内“偽”の所に対応するビットをハイインピダンスにしてデータバス114を介して外部メモリ20へそのデータを出力する。

つまり、データ処理ユニット11からメモリ20に書込むデータDが4ビットで、その内容がD=0110の場合には、前述のように論理ビットアドレス値n=15、メモリ20の語長L=8とすると、j=7なので、パレルシフタおよび入出力コントロールユニット13によってデータDは、

$$D = 110zzzzz0$$

のようにローテイトシフトおよび変換されて、外部メモリ20に送られる。ここで、zはハイインピダンス状態を示すものである。

この時、物理アドレス選択データd1は、

$$-111-$$

セッサは、内部にバッファメモリ30を備え、物理アドレスk0、k1、物理アドレス選択データd1、および書込み制御データd2を直接外部メモリ20に出力せず、バッファメモリ30に出力する構成である。この場合には、外部メモリ20への出力端子がデータバス114、物理アドレスバス115、および書込み制御信号線116に対応する分だけで済むので、コストの低減を図ることができる。

[発明の効果]

以上のようにこの発明によれば、データバス幅以下の任意の語長のデータをメモリ空間上の任意のビット位置から効率よくアクセスできるようになり、マイクロプロセッサ固有の語長と異なる語長のデータを扱う場合や、その固有の語長境界に跨るデータを扱う場合にも何度もメモリアクセスを繰返す必要がなくなり、高速動作が可能となる。

したがって、1ビットが2次元上の1点に対応するビットマップ画像の処理に効果的である。

$$-13-$$

$$d1 = 11111110$$

であり、書込み制御データd2は、

$$d2 = 11100001$$

であるので、メモリ20には、データD=0110の最初の1ビットすなわち0が物理アドレス1のMSBのビット位置に書込まれ、次の3ビットすなわち110が物理アドレス2の最初の3ビットに書込まれる。

また、書込み/読み出し選択信号wが“偽”の場合には、外部メモリ20よりデータバス114を介して1ビットのデータを入力し、そのデータ内容をj分だけLSBの方向へローテイトし、内部バス113を介してデータ処理ユニット11へ出力する。

このような構成であれば、データ処理ユニットは1メモリサイクルにおいて、指定したビットアドレス値nに指定した語長mでメモリアクセスすることが可能となるので、ビット単位でのデータ処理を効率よく実行することが可能となる。

第2図はこの発明の第2の実施例に係わるマイクロプロセッサを示すもので、このマイクロプロ

$$-12-$$

また、日本語ワードプロセッサのアトリビュート付文字コードのように、システム固有の特殊な語長のデータを処理する場合にも、マイクロプロセッサ固有の語長にデータを整合させる必要がないため、記憶領域の節約が図れる。

さらに、高級言語においては、柔軟なデータアクセスが可能なので、複雑なデータ形式が容易に実現できるようになる。

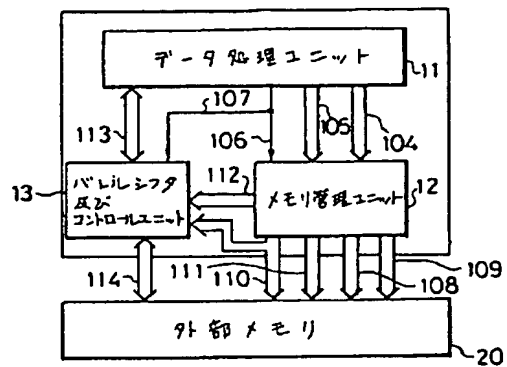
4. 図面の簡単な説明

第1図はこの発明の一実施例に係わるマイクロプロセッサを説明するブロック構成図、第2図はこの発明の他の実施例に係わるマイクロプロセッサを説明するブロック構成図である。

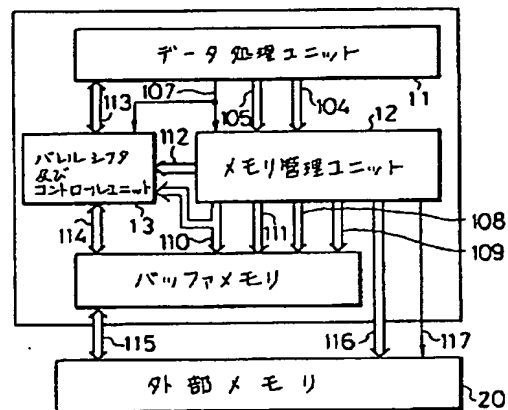
11…データ処理ユニット、12…メモリ管理ユニット、13…パレルシフタおよび入出力コントロールユニット、20…外部メモリ、30…バッファメモリ。

出願人代理人 弁理士 鈴江武彦

$$-14-$$



第 1 図



第 2 図